



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06216137 A**(43) Date of publication of application: **05.08.94**

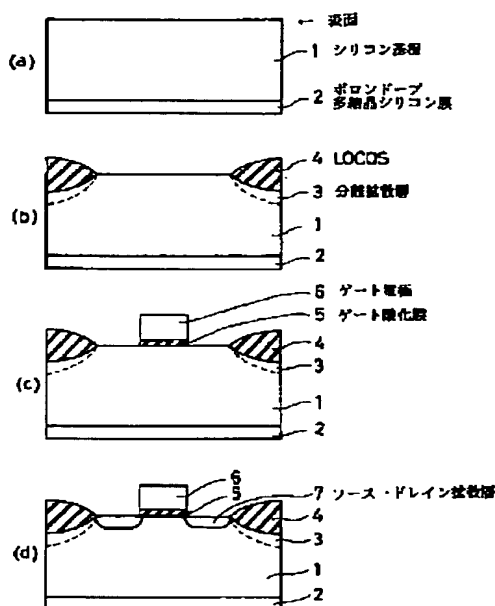
(51) Int. Cl.

H01L 21/322(21) Application number: **05007696**(71) Applicant: **MATSUSHITA ELECTRON CORP**(22) Date of filing: **20.01.93**(72) Inventor: **HIDAKA YOSHIHARU****(54) SEMICONDUCTOR DEVICE AND
MANUFACTURE THEREOF****(57) Abstract:**

PURPOSE: To enhance the capturing effect of impurities, which give adverse effects on electric characteristics in the manufacturing process of a semiconductor device.

CONSTITUTION: As a layer for capturing impurities such as heavy metal in a silicon substrate 1, a layer, which enhances the effect for capturing only a specific element, is formed by diffusing the element, which is to become the stable bonded state at normal temperature, in addition to a defect layer and an oxygen depositing layer on the rear surface. At the same time when polycrystalline silicon is grown on the rear surface of the silicon substrate 1, e.g. a boron-doped polycrystalline silicon film 2, wherein impurities such as boron having the iron capturing effect are diffused, is formed. Then, an integrated circuit is formed.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-216137

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.⁵

H 0 1 L 21/322

識別記号

J 8617-4M

P 8617-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21)出願番号 特願平5-7696

(22)出願日 平成5年(1993)1月20日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 日高 義晴

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

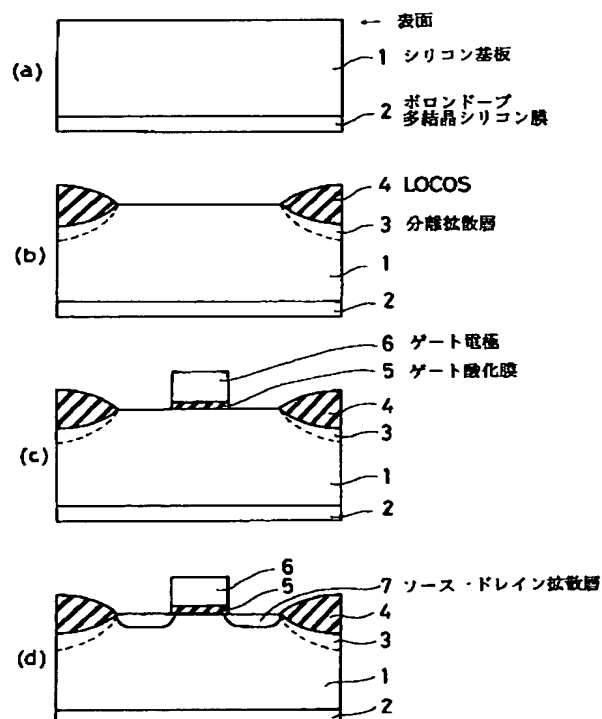
(74)代理人 弁理士 宮井 暎夫

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 半導体装置の製造工程における電気特性に悪影響を与える不純物を捕獲する効果を高める。

【構成】 シリコン基板1の重金属などの不純物の捕獲する層として裏面の欠陥層や酸素析出層の他に、常温で安定な結合状態となる元素を拡散させて、特定元素のみを捕獲する効果を高める層を形成する。シリコン基板1の裏面に成長させる多結晶シリコンを成長させると同時に、例えば鉄の捕獲効果のあるボロンのような不純物を拡散させたボロンドープ多結晶シリコン膜2を形成した後に、集積回路を形成する。



【特許請求の範囲】

【請求項1】 半導体基板と、この半導体基板上に形成した集積回路と、前記半導体基板の裏面に形成された不純物元素捕獲層とを備え、前記不純物元素捕獲層は、前記集積回路の特性に悪影響を与える不純物元素と常温で安定な結合状態となる別の不純物層である半導体装置。

【請求項2】 半導体基板と、この半導体基板上に形成した集積回路と、前記半導体基板の裏面に形成した多結晶層と、前記半導体基板および前記多結晶層のうちの少なくとも一方に拡散形成した不純物元素捕獲層とを備え、前記不純物元素捕獲層は、前記多結晶膜の結晶粒界や結晶欠陥層によって捕獲できない元素のみを捕獲するための不純物拡散層である半導体装置。

【請求項3】 請求項1記載の半導体装置の製造方法であって、集積回路の特性に悪影響を与える不純物元素と常温で安定な結合状態となる別の不純物層を、半導体基板の裏面から加速した粒子を注入して形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項2記載の半導体装置の製造方法であって、多結晶層の結晶粒界や結晶欠陥層によって捕獲できない元素のみを捕獲するための不純物拡散層を、半導体基板および多結晶層のうちの少なくとも一方に拡散形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 半導体装置の製造工程においては多種多様な製造工程を繰り返すことにより製造される。このとき製造に用いられるガスや薬液中から半導体素子の特性に悪影響を与える、特に鉄(Fe)、銅(Cu)などの重金属が付着し、半導体基板中に拡散することにより、素子特性が悪化し製造歩留まりの低下や信頼性不良の原因になることはよく知られている。

【0003】 従来の半導体装置の製造方法における素子特性を悪化させる不純物元素を捕獲し、素子特性に悪影響を与えないようにする方法は、予め半導体基板の裏面に欠陥層を形成して工程中で不純物を捕獲する方法(EG法)がある。また、半導体基板の内部に捕獲する効果のある層を形成する方法(IG法)がある。従来のEG法について図4を用いて説明する。

【0004】 重金属などの不純物元素を捕獲する方法として、半導体基板11の裏面に欠陥層12を形成した状態で素子分離拡散層13や素子分離膜14を形成し、ゲート酸化膜15やゲート電極16やソース・ドレイン拡散層17をもつ半導体装置を製造する方法がある。欠陥層12の形成方法は、裏面から石英粒子を当て結晶欠陥を誘起する方法(バックサイドダメージ法)がある。拡散熱処理時にこの欠陥部分に重金属が捕獲される。

【0005】 また、裏面に気相成長(CVD)法により、多結晶シリコン膜を形成して、多結晶シリコンの結晶粒界に重金属を捕獲する方法(ポリバックシール法)がある。多結晶シリコンの結晶粒界はシリコン原子の配列がずれた状態であるため一種の結晶欠陥である。多結晶シリコンは半導体基板が単結晶シリコンである場合、結晶粒界が多数存在した状態であるため、非常に多くの結晶欠陥を含む。このため、バックサイドダメージ(BSD)法と同等以上の効果が得られる。

10 【0006】 次に、従来のIG法について図5を用いて説明する。重金属などの不純物元素を捕獲する方法として、半導体基板11の内部に酸素析出の欠陥層22を形成した状態で素子分離拡散層13や素子分離膜14を形成し、ゲート酸化膜15やゲート電極16やソース・ドレイン拡散層17をもつ半導体装置を製造する方法がある。

20 【0007】 チョクラルスキー(CZ)法で引き上げられた単結晶シリコンは、石英ルツボでシリコン塊を溶解し回転しながら単結晶を成長させるために、石英ルツボが溶解して酸素が多く混入している。この混入した酸素を、ウェハ状にした後に熱処理工程を行うことにより、基板内部に析出させて酸素析出の欠陥層22とする方法である。

30 【0008】 現在の不純物の捕獲方法は、前記EG法とIG法とを同時に用いて半導体装置を製造する方法や、半導体装置の製造過程の中でCZ法によるシリコン単結晶中の酸素の一部を基板内部に析出させる方法が用いられている。ところが、従来のIG法やEG法による不純物の捕獲方法では、銅(Cu)やニッケル(Ni)のように熱処理工程の中で、結晶欠陥に捕獲されてシリサイド化し安定な状態となる元素と、鉄(Fe)のように欠陥に捕獲できない元素が存在する。

【0009】

40 【発明が解決しようとする課題】 そこで、各不純物元素のエネルギー的に安定な状態を究明したところ、特定の元素と結合してエネルギー的に安定な状態となることが明らかとなった。半導体装置の製造工程においては、パターンの形成や拡散層形成の過程で酸化工程が存在し、酸化工程と酸化膜除去工程が繰り返される。一般的に酸化膜除去工程は、薬液中で行われるため裏面の酸化膜も除去されることになる。

【0010】 熱酸化工程は、結晶欠陥が存在する領域においては酸化速度が早く、結晶欠陥が酸化により徐々に減少することになる。このことは、EG法により作成されたダメージ層は、熱酸化、酸化膜除去が繰り返されることによりダメージ量が減少し不純物元素の捕獲能力が減少する。工程の数や酸化量によっては、工程終了まで捕獲効果が維持できないことがある。

50 【0011】 一方、IG法により半導体基板11中に酸素の析出物を増加させると、析出物による体積膨張によ

る歪が発生し、結晶歪によるリーク電流が増大する。さらに、酸素析出を増加させると酸素析出のない無欠陥領域(DZ)幅を制御することが困難となり、酸素析出物が素子特性に悪影響を与える。さらに、重金属などの不純物元素の一部には、Feのように欠陥や析出部分には安定に捕獲できない元素が存在し、半導体装置の電気特性に悪影響を及ぼす問題点がある。

【0012】

【課題を解決するための手段】請求項1記載の半導体装置は、半導体基板と、この半導体基板上に形成した集積回路と、半導体基板の裏面に形成された不純物元素捕獲層とを備え、不純物元素捕獲層は、集積回路の特性に悪影響を与える不純物元素と常温で安定な結合状態となる別の不純物層である。

【0013】請求項2記載の半導体装置は、半導体基板と、この半導体基板上に形成した集積回路と、半導体基板の裏面に形成した多結晶層と、半導体基板および多結晶層のうちの少なくとも一方に拡散形成した不純物元素捕獲層とを備え、不純物元素捕獲層は、多結晶膜の結晶粒界や結晶欠陥層によって捕獲できない元素のみを捕獲するための不純物拡散層である。

【0014】請求項3記載の半導体装置の製造方法は、集積回路の特性に悪影響を与える不純物元素と常温で安定な結合状態となる別の不純物層を、半導体基板の裏面から加速した粒子を注入して形成することを特徴とする。請求項4記載の半導体装置の製造方法は、多結晶層の結晶粒界や結晶欠陥層によって捕獲できない元素のみを捕獲するための不純物拡散層を、半導体基板および多結晶層のうちの少なくとも一方に拡散形成することを特徴とする。

【0015】

【作用】この発明によれば、集積回路の特性に悪影響を与える不純物元素と常温で安定な結合状態となる不純物拡散層を半導体基板の裏面に形成することにより、欠陥層や基板内部の析出物では捕獲できなかった不純物を捕獲することができ、半導体装置の電気特性に悪影響を与える不純物をすべて捕獲することができる。

【0016】さらに、不純物を捕獲する不純物拡散層を形成する際に、イオン注入により加速された粒子を注入する方法を用いることにより、半導体基板の裏面に均一に不純物捕獲層を形成することができる。さらに、半導体基板の裏面に多結晶膜を形成すると同時に、多結晶膜の結晶粒界や結晶欠陥層によって捕獲できない元素のみを捕獲するための不純物を拡散形成することにより、結晶欠陥に捕獲できる元素と結晶欠陥に捕獲できない元素の2種類の元素を捕獲できる。

【0017】

【実施例】以下、この発明の実施例である半導体装置の製造方法について図面を参照しながら説明する。図1はこの発明の第1の実施例の半導体装置の製造方法の工程

順断面図である。図1(a)に示すように、シリコン基板1の裏面に気相成長法(CVD法)により、例えばシランガスとジボランガスとの混合ガスを用いて約650℃でボロン濃度約1.0wt%のボロンドープ多結晶シリコン膜2を約1.5μmの厚さで形成する。この厚さは、この半導体装置の製造工程で酸化工程と酸化膜除去工程を経てもボロンドープ多結晶シリコン膜2がある程度残るように設定した。

【0018】この時、多結晶シリコン膜2中に同時にドーピングしたボロンは、室温でFeと結合して安定な状態となることにより、Feを捕獲するための元素である。多結晶シリコンの結晶粒界には、Cu、Niなどの元素を捕獲する効果がある。さらに、図1(b)に示すように、保護酸化膜として熱酸化膜を約20nm形成した後に、局所酸化法での酸化防止のために窒化珪素膜を成長させる。さらに、リソグラフィ工程でパターン形成した後に、例えばCF₄+O₂(10%)の混合ガスを用いた反応性イオンエッチング法により窒化珪素膜を除去する。また、イオン注入法により、例えばボロンを約50keVでドーピング量2×10¹³cm⁻²で注入し、約900℃30分の窒素雰囲気中で熱処理することにより分離拡散層3を形成する。その上、分離拡散層3の上に約700nmのLOCOS4を約1000℃で成長させる。その後、LOCOS4の形成で用いた窒化珪素膜は燐酸を用いて、保護酸化膜は希釈フッ酸液を用いて、それぞれ除去される。

【0019】この時、裏面に形成したボロンドープ多結晶シリコン膜2も酸化され除去される。ボロンドープ多結晶シリコン膜2に拡散されているボロン元素は、LOCOS4の形成時には約1000℃の高温でゆっくりと酸化されるため、酸化膜中に取り込まれることなく裏面側からシリコン基板側に拡散していく。さらに、図1(c)に示すように、ゲート酸化膜5を約1000℃のドライ酸素雰囲気中で約40nm形成する。さらに、CVD法により例えばシランガスを用いてポリシリコン膜を形成する。つぎに、多結晶シリコン膜の抵抗を低くするために例えばPOCl₃ガスを用いて約900℃の高温状態で燐を熱拡散させ、抵抗を約10Ωまで低くしゲート電極6を形成する。さらに、リソグラフィ工程でレジストをパターン形成した後に、例えばHBrとの混合ガスを用いて反応性イオンエッチングを行い、MOS型トランジスタとしてのゲート酸化膜5とゲート電極6を形成する。

【0020】この時、MOS型トランジスタのゲート酸化膜5とゲート電極6をパターンニングする前に、ゲート電極6を形成する際に形成された裏面のポリシリコン膜と裏面の酸化膜は、フッ酸と硝酸系の液でポリシリコン膜を除去し、希釈フッ酸液で酸化膜を除去した後に行う。この場合も、ボロンドープ多結晶シリコン膜2に拡散されているボロン元素は、熱酸化膜が約1000℃の

高温でゆっくりと酸化されるため、酸化膜中に取り込まれることなく裏面側からシリコン基板側に拡散し、ポロンドープ多結晶シリコン膜2中のボロン濃度が大きく低くなることはない。

【0021】さらに、図1(d)に示すように、例えばゲート電極6とゲート酸化膜7のパターンをマスクとして、イオン注入法により例えば砒素イオンを加速エネルギー約40keVでドーピング量約 $4 \times 10^{14} \text{ cm}^{-2}$ 注入する。さらに、窒素雰囲気中で約900℃で30分間の熱処理を行い、ソース・ドレイン拡散層7を形成する。

【0022】図2はこの発明の第2の実施例の半導体装置の製造方法の工程順断面図である。まず、図2(a)に示すように、シリコン基板1の裏面に気相成長法(CVD法)により、例えばシランガスを用いて約650℃で多結晶シリコン膜8を約1.5μmの厚さで形成する。この厚さは、この半導体装置の製造工程で酸化工程と酸化膜除去工程を経ても多結晶シリコン膜8がある程度残るように設定した。

【0023】つぎに、図2(b)に示すように、裏面に形成した多結晶シリコン膜8にイオン注入法によりボロンイオン9を加速エネルギー約100keVでドーピング量約 $2 \times 10^{14} \text{ cm}^{-2}$ で注入して、ボロン拡散多結晶シリコン膜10を形成する。ボロンイオン9のドーピング量は、熱工程での外方拡散と半導体装置の製造工程中に拡散してくると考えられるFeの量を考え合わせると、Feの量の約100倍以上あれば良いと考えられる。

【0024】この時、裏面の多結晶シリコン膜8にドーピングしたボロンイオン9は、室温でFeと結合して安定な状態となることにより、Feを捕獲するための元素である。多結晶シリコン膜9の結晶粒界には、Cu、Niなどの元素を捕獲する効果がある。さらに、図2

(c)に示すように、保護酸化膜として熱酸化膜を約20nm形成した後に、局所酸化法での酸化防止のために窒化珪素膜を成長させる。さらに、リソグラフィ工程でパターン形成した後に、例えばCF₄+O₂(10%)の混合ガスを用いた反応性イオンエッチング法により窒化珪素膜を除去する。また、イオン注入法により、例えばボロンを約50keVでドーピング量 $2 \times 10^{13} \text{ cm}^{-2}$ で注入し、約900℃30分の窒素雰囲気中で熱処理することにより分離拡散層3を形成する。その上、分離拡散層3に上に約700nmのLOCOS4を約1000℃で成長させる。その後、LOCOS4の形成で用いた窒化珪素膜は燐酸を用いて、保護酸化膜は希釈フッ酸液を用いて、それぞれ除去される。

【0025】この時、裏面に形成したボロン拡散多結晶シリコン膜10も酸化され除去される。ボロン拡散多結晶シリコン膜10に拡散されているボロン元素は、LOCOS4の形成時には約1000℃の高温でゆっくりと

酸化されるため、酸化膜中に取り込まれることなく裏面側からシリコン基板側に拡散していく。さらに、図2

(d)に示すように、ゲート酸化膜5を約1000℃のドライ酸素雰囲気中で約40nm形成する。さらに、CVD法により例えばシランガスを用いてポリシリコン膜を形成する。つぎに、多結晶シリコン膜の抵抗を低くするために例えばPOCl₃ガスをを用いて約900℃の高温状態で燐を熱拡散させ、抵抗を約10Ωまで低くしゲート電極6を形成する。さらに、リソグラフィ工程でレジストをパターン形成した後に、例えばHBrとの混合ガスをを用いて反応性イオンエッチングを行い、MOS型トランジスタとしてのゲート酸化膜5とゲート電極6を形成する。

【0026】この時、MOS型トランジスタのゲート酸化膜5とゲート電極6をパターニングする前に、ゲート電極6を形成する際に形成された裏面のポリシリコン膜と裏面の酸化膜は、フッ酸と硝酸系の液でポリシリコン膜を除去し、希釈フッ酸液で酸化膜を除去した後に行う。この場合も、ボロン拡散多結晶シリコン膜10に拡散されているボロン元素は、熱酸化膜が約1000℃の高温でゆっくりと酸化されるため、酸化膜中に取り込まれることなく裏面側からシリコン基板側に拡散し、ボロン拡散多結晶シリコン膜10中のボロン濃度が大幅に低くなることはない。

【0027】その後、例えばゲート電極6とゲート酸化膜5のパターンをマスクとして、イオン注入法により例えば砒素イオンを加速エネルギー約40keVでドーピング量約 $4 \times 10^{14} \text{ cm}^{-2}$ 注入する。さらに、窒素雰囲気中で約900℃で30分間の熱処理を行い、ソース・ドレイン拡散層7を形成する。さらに、図3はこの発明の第3の実施例の半導体装置の製造方法の工程順断面図である。まず、図3(a)に示すように、シリコン基板1の裏面にイオン注入法によりボロンイオン9を加速エネルギー例えば100keVでドーピング量約 $2 \times 10^{14} \text{ cm}^{-2}$ で注入して、ボロン拡散層11を形成する。ボロンイオン9のドーピング量は、熱工程での外方拡散と半導体装置の製造工程中に拡散してくると考えられるFeの量を考え合わせると、Feの量の約100倍以上あれば良いと考えられる。

【0028】この時、裏面の状態は、基板内部に酸素析出層を形成したIG法のウェハであればBSDのないウェハでもよい。また、IG法の処理を行っていないウェハであればBSDが必要である。裏面のボロンイオン9は、室温でFeと結合して安定な状態となることにより、Feを捕獲するための元素である。しかし、Cu、Niなどは、BSDがあればBSDのダメージ層に捕獲され、また、BSDが無ければ工程中の熱処理で形成される基板内部の酸素析出による欠陥層に捕獲されることになる。

【0029】さらに、図3(b)に示すように、保護酸

化膜として熱酸化膜を約20nm形成した後に、局所酸化法での酸化防止のために窒化珪素膜を成長させる。さらに、リソグラフィ工程でパターン形成した後に、例えば $\text{CF}_4 + \text{O}_2$ (10%)の混合ガスを用いた反応性イオンエッチング法により窒化珪素膜を除去する。また、イオン注入法により、例えばボロンを約50keVでドーピング量 $2 \times 10^{13} \text{ cm}^{-2}$ で注入し、約900℃30分の窒素雰囲気中で熱処理することにより分離拡散層3を形成する。その上、分離拡散層3に上に約700nmのLOCOS4を約1000℃で成長させる。その後、LOCOS4の形成で用いた窒化珪素膜はリン酸を用いて、保護酸化膜は希釈フッ酸液を用いて除去される。

【0030】この時、裏面のボロン拡散層11のボロン元素は、LOCOS4の形成時には約1000℃の高温でゆっくりと酸化されるため、酸化膜中に取り込まれることなく裏面側からシリコン基板側に拡散し、ボロン拡散層11のボロン濃度は著しく低くなることはない。さらに、図3(c)に示すように、ゲート酸化膜5を約1000℃のドライ酸素雰囲気中で約40nm形成する。さらに、CVD法により例えばシランガスを用いてポリシリコン膜を形成する。つぎに、多結晶シリコン膜の抵抗を低くするために例えばPOCl₃ガスをを用いて約900℃の高温状態で燐を熱拡散させ、抵抗を約10Ωまで低くしゲート電極6を形成する。さらに、リソグラフィ工程でレジストをパターン形成した後に、例えばHBrとの混合ガスを用いて反応性イオンエッチングを行い、MOS型トランジスタとしてのゲート酸化膜5とゲート電極6を形成する。

【0031】この時、MOS型トランジスタのゲート酸化膜5とゲート電極6をパターンニングする前に、ゲート電極6を形成する際に形成された裏面のポリシリコン膜と裏面の酸化膜は、フッ酸と硝酸系の液でポリシリコン膜を除去し、希釈フッ酸液で酸化膜を除去した後に行う。この場合も、ボロン拡散層11のボロン元素は、熱酸化膜が約1000℃の高温でゆっくりと酸化されるため、酸化膜中に取り込まれることなく裏面側からシリコン基板側に拡散し、ボロン拡散層11中のボロン濃度が著しく低くなることはない。

【0032】さらに、図3(d)に示すように、例えばゲート電極6とゲート酸化膜5のパターンをマスクとして、イオン注入法により例えば砒素イオンを加速エネルギー約40keVでドーピング量約 $4 \times 10^{14} \text{ cm}^{-2}$ 注入する。さらに、窒素雰囲気中で約900℃で30分間の熱処理を行い、ソース・ドレイン拡散層7を形成す

＊る。

【0033】さらに、図1、図2、図3を用いてこの発明の半導体装置の製造方法を説明したが、半導体装置の動作上裏面に電極を形成する必要がある場合で、裏面に拡散したボロンの存在により動作上不都合が生じる場合は、機械的切削法や化学的研磨法により除去する。また、このシリコン基板1の裏面の機械的切削や化学的研磨は、単純にウェハの厚さを薄くしたい場合にも用いられる。

10 【0034】

【発明の効果】この発明の方法によれば、半導体基板の裏面に形成する欠陥層とは別に不純物を捕獲できるような不純物を拡散させることにより、半導体装置の電気特性に悪影響を与えるような全ての不純物を捕獲できる。それにより、電気的リークによる初期段階の不良を著しく減少させることができる。さらに、重金属などの不純物元素をすべて捕獲することができたため、半導体装置の連続動作状態での特性の劣化による不良の発生が抑制できる。さらに、元素個別により捕獲効果を高める方法であるため、適切な量でのIG法やEG法を実施すれば良いため捕獲効果を高めたことによるウェハの歪などは抑制できる。

【図面の簡単な説明】

【図1】この発明の第1の実施例を説明するための半導体装置の製造方法の工程順断面図である。

【図2】この発明の第2の実施例を説明するための半導体装置の製造方法の工程順断面図である。

【図3】この発明の第3の実施例を説明するための半導体装置の製造方法の工程順断面図である。

30 【図4】従来の半導体装置の不純物捕獲方法を説明する図である。

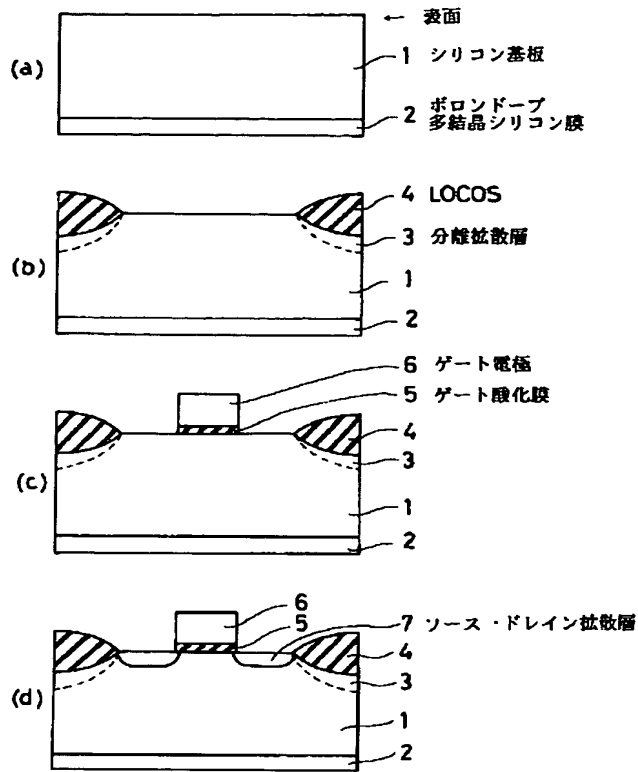
【図5】従来の半導体装置の不純物捕獲方法を説明する図である。

【符号の説明】

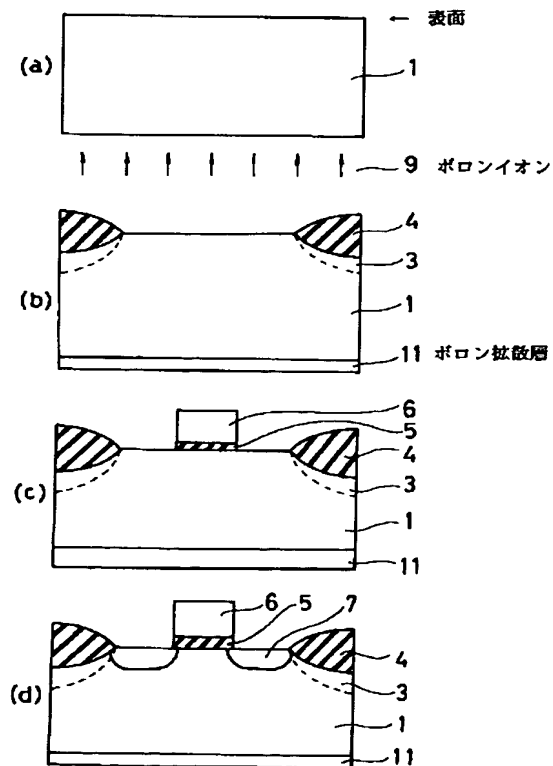
- 1 シリコン基板
- 2 ボロンドープ多結晶シリコン
- 3 分離拡散層
- 4 LOCOS
- 5 ゲート酸化膜
- 40 6 ゲート電極
- 7 ソース・ドレイン拡散層
- 8 多結晶シリコン膜
- 9 ボロンイオン
- 10 ボロン拡散多結晶シリコン膜

＊

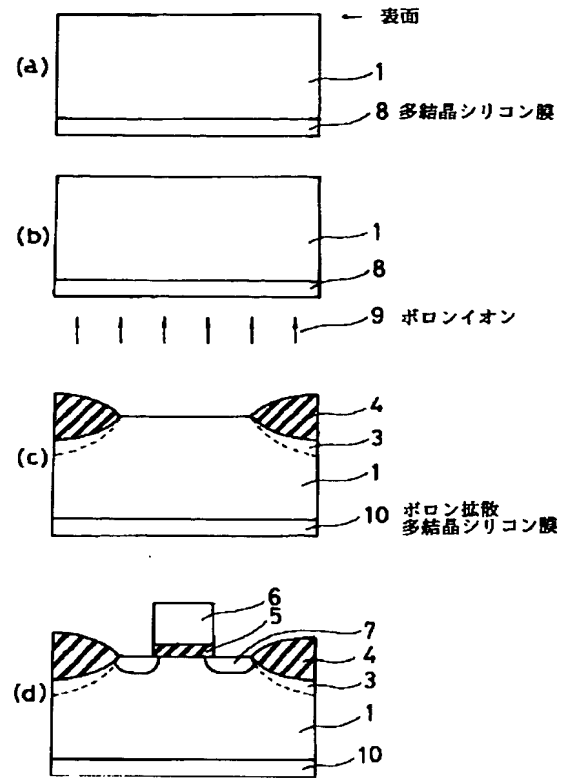
【図 1】



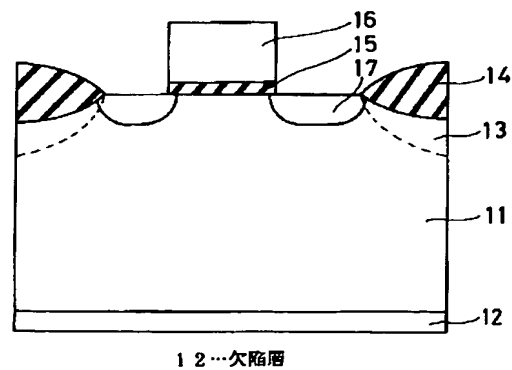
【図 3】



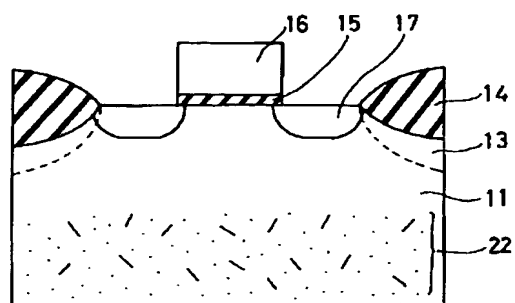
【図 2】



【図 4】



【図5】



22…酸素析出の欠陥層